

日本国特許庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2002年 7月26日

出願番号

Application Number:

特願2002-218433

[ ST.10/C ]:

[JP2002-218433]

出願人

Applicant(s):

富士通株式会社

2003年 1月 7日

特許長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3104215

【書類名】 特許願  
 【整理番号】 0240903  
 【提出日】 平成14年 7月26日  
 【あて先】 特許庁長官 及川 耕造 殿  
 【国際特許分類】 H03K 19/00  
                   H03F 3/45  
 【発明の名称】 半導体集積回路装置  
 【請求項の数】 10  
 【発明者】  
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
                   株式会社内  
 【氏名】 石田 秀樹  
 【発明者】  
 【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通エル  
                   エスアイテクノロジ株式会社  
 【氏名】 大野 めぐみ  
 【特許出願人】  
 【識別番号】 000005223  
 【氏名又は名称】 富士通株式会社  
 【代理人】  
 【識別番号】 100077517  
 【弁理士】  
 【氏名又は名称】 石田 敬  
 【電話番号】 03-5470-1900  
 【選任した代理人】  
 【識別番号】 100092624  
 【弁理士】  
 【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項1】 第1の電源線と第2の電源線との間に、直列に接続された第1導電型の第1のMISトランジスタ、第2導電型の第2のMISトランジスタおよび抵抗を有する半導体集積回路装置であって、

ゲートが前記第1のMISトランジスタおよび前記第2のMISトランジスタの接続ノードに接続され、ドレインが前記第2のMISトランジスタおよび前記抵抗の接続ノードに接続された第1導電型の第3のMISトランジスタを備えることを特徴とする半導体集積回路装置。

【請求項2】 請求項1に記載の半導体集積回路装置において、さらに、

前記第2のMISトランジスタとカレントミラー接続された第2導電型の第4および第5のMISトランジスタと、

該第4のトランジスタおよび前記第1の電源線に接続され、前記第1のMISトランジスタとカレントミラー接続された第1導電型の第6のMISトランジスタと、

前記第5のMISトランジスタおよび前記第1の電源線に接続され、ゲートが前記第1のMISトランジスタおよび前記第2のMISトランジスタの接続ノードに接続された第1導電型の第7のMISトランジスタと、を備えることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2に記載の半導体集積回路装置において、さらに、ソースが前記第1の電源線に接続され、ゲートが前記第1のMISトランジスタおよび前記第2のMISトランジスタの接続ノードに接続され、出力電流を流す第1導電型の第8のMISトランジスタを備えることを特徴とする半導体集積回路装置。

【請求項4】 請求項1～3のいずれか1項に記載の半導体集積回路装置において、さらに、

前記第2のMISトランジスタと前記抵抗との間に設けられた第2導電型の第9のMISトランジスタと、

前記第4および第5のMISトランジスタと前記第2の電源線との間に設けられた第2導電型の第10および第11のMISトランジスタとを備え、前記第2、第4および第5のMISトランジスタに対して前記第9、第10および第11のMISトランジスタをカスケード接続したことを特徴とする半導体集積回路装置。

【請求項5】 請求項1～4のいずれか1項に記載の半導体集積回路装置において、前記第1のMISトランジスタを他の第1導電型のMISトランジスタとは異なる特性を有するトランジスタとして構成したことを特徴とする半導体集積回路装置。

【請求項6】 請求項5に記載の半導体集積回路装置において、前記異なる特性を有する第1のMISトランジスタは、前記他の第1導電型のMISトランジスタよりもトランジスタサイズを小さく、しきい値電圧を高く、または、基板バイアスを大きくするようになっていることを特徴とする半導体集積回路装置。

【請求項7】 入力信号が供給され、第1導電型および第2導電型の高電圧用MISトランジスタにより構成された増幅部、および、該増幅部の出力を受け取ってレベルシフトされた信号を出力するレベルシフト部を有する半導体集積回路装置であつて、

前記増幅部は、ダイオード接続された第2導電型の高電圧用MISトランジスタを備え、

前記レベルシフト部は、前記ダイオード接続された第2導電型の高電圧用MISトランジスタとカレントミラー接続された第2導電型の高電圧用MISトランジスタ、および、第1導電型および第2導電型の低電圧用MISトランジスタを備えることを特徴とする半導体集積回路装置。

【請求項8】 請求項7に記載の半導体集積回路装置において、前記ダイオード接続された第2導電型の高電圧用MISトランジスタを抵抗に置き換えたことを特徴とする半導体集積回路装置。

【請求項9】 請求項7に記載の半導体集積回路装置において、前記ダイオード接続された第2導電型の高電圧用MISトランジスタに対して第2導電型の高電圧用MISトランジスタをクロスカップル接続したことを特徴とする半導体

集積回路装置。

【請求項10】 請求項1～6のいずれか1項に記載の半導体集積回路装置を電流源回路とし、

請求項7～9のいずれか1項に記載の半導体集積回路装置を差動增幅回路とし

前記電流源回路の出力電流を、カレントミラー回路を介して前記差動增幅回路における電流源のバイアス電圧に使用したことを特徴とする半導体集積回路装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は半導体集積回路装置に関し、特に、安定した定電流源を必要とするアナログ回路装置に関する。

##### 【0002】

近年、半導体集積回路装置は、より一層の高速化および定消費電力化が要求され、電源電圧の低電圧化および信号振幅の小振幅化等が進められている。これは、MOS (Metal-Oxide-Semiconductor : 或いは、より広くMIS (Metal-Insulator-Semiconductor) トランジスタで構成した半導体集積回路装置、すなわち、安定した定電流源を必要とするCMOS (Complementary MOS) 回路で構成されたアナログ回路装置においても同様である。そこで、低い電源電圧でも安定した定電流を生成することのできる半導体集積回路装置の提供が要望されている。

##### 【0003】

さらに、近年の低い電源電圧（例えば、1.8Vや1.2V、或いは、それ以下）で信号振幅の小さい半導体集積回路装置と、従来の高い電源電圧（例えば、3.3Vや2.5V）で信号振幅の大きい半導体集積回路装置とのインターフェースをとることのできる高速動作が可能なレベルシフト回路の提供も要望されている。

##### 【0004】

##### 【従来の技術】

従来、電流源回路の基本的な考え方としては、電源電圧・プロセス・温度に依存することなく、安定した電流を生成することにある。

#### 【0005】

図1は従来の半導体集積回路装置の一例を示す回路図であり、電源に依存しない電流源回路の一例を示すものである。図1において、参照符号V<sub>dd</sub>は高電位電源線（高電位電源電圧）、V<sub>ss</sub>は低電位電源線（低電位電源電圧）、101～103はpチャネル型MOSトランジスタ（pMOSトランジスタ）、104および105はnチャネル型MOSトランジスタ（nMOSトランジスタ）、そして、106は抵抗を示している。

#### 【0006】

図1に示す回路を理想の電流源と考え、抵抗106の抵抗値をRとし、低電位電源電圧V<sub>ss</sub>=0Vとする。まず、トランジスタ101とトランジスタ102がカレントミラー接続されていることから、I<sub>01</sub>=I<sub>02</sub>が成り立つ。また、トランジスタ104のゲート-ソース間電圧をV<sub>gs01</sub>、電流増幅率をβ<sub>01</sub>とし、トランジスタ105のゲート-ソース間電圧をV<sub>gs02</sub>、電流増幅率をKβ<sub>01</sub>とし、そして、トランジスタ104および105のしきい値電圧V<sub>th</sub>が等しいとすると、トランジスタ104を流れる電流I<sub>01</sub>は、I<sub>01</sub>=β<sub>01</sub>(V<sub>gs01</sub>-V<sub>th</sub>)<sup>2</sup>/2となり、また、トランジスタ105を流れる電流I<sub>02</sub>は、I<sub>02</sub>=Kβ<sub>01</sub>(V<sub>gs02</sub>-V<sub>th</sub>)<sup>2</sup>/2となる。さらに、V<sub>gs01</sub>=V<sub>gs02</sub>+I<sub>02</sub>·Rが成り立つ。

#### 【0007】

これらの式から、しきい値電圧V<sub>th</sub>を消去すると、トランジスタ102とカレントミラー接続されたトランジスタ103を流れる電流I<sub>out</sub>は、I<sub>out</sub>=I<sub>01</sub>=I<sub>02</sub>=2/β<sub>01</sub>·1/R<sup>2</sup>·(1-1/√K)<sup>2</sup>となり、電源電圧が式に含まれないため、電源電圧に依存しない回路と言うことができる。なお、トランジスタ105と同様に、トランジスタ102に対して各トランジスタをカレントミラー接続することにより、電流I<sub>out</sub>と同様の電流のコピーを必要に応じて生成することが可能になる。

#### 【0008】

#### 【発明が解決しようとする課題】

図2はトランジスタのV<sub>ds</sub>-I<sub>ds</sub>特性を概略的に示す図である。

#### 【0009】

しかしながら、例えば、トランジスタのソースードレイン間電圧V<sub>ds</sub>とドレン電流（ソースードレイン間電流）I<sub>ds</sub>との間には図2に示すような特性があり、実際には、飽和領域であっても傾きがあるため、電源電圧（V<sub>dd</sub>）が増えるとトランジスタ101および102のソースードレイン間電圧V<sub>ds</sub>も増加して電流が増えてしまい、また、電源電圧が減るとトランジスタ101および102のソースードレイン間電圧V<sub>ds</sub>が減少して電流が減り、或いは、線形領域に入ってしまう可能性もある。

#### 【0010】

そのため、トランジスタ104および105における電圧降下が変化して、ノードN01の電圧V01とノードN02の電圧V02とで値が異なってしまう。このことを踏まえ、トランジスタ105のソースードレイン間の抵抗成分R<sub>ds</sub>から電流値を考えると、 $I_{02} = I_{01} + (V_{02} - V_{01}) / R_{ds}$ となることから $I_{02} \neq I_{01}$ になり、電流値が等しくミラーされない。さらに、トランジスタのしきい値電圧V<sub>th</sub>や電流増幅率 $\beta$ のミスマッチ等により、誤差が生じることも考えられる。

#### 【0011】

すなわち、図1に示す従来の電流源回路は、実際には、電源電圧に依存する可能性がないわけではなく、また、温度依存やプロセス依存が大きいことも考えられる。さらに、従来、ある程度の電源電圧を確保することが可能な場合には、トランジスタを縦積みにすることで電流源の精度を向上させることができたが、近年のトランジスタの微細化および動作速度の高速化の要求に伴って電源電圧も低くなってきており、従来の手法では対処しきれなくなってきた。また、電流特性における飽和領域の傾きも大きくなってしまい、安定した電流源の設計がさらに難しくなっている。その上、高周波を受けることができるアンプにおいても電流源が必須となってきており、電流値が安定していないと、アンプの出力が意図した周波数を出すことが困難になる等の問題も生じている。

#### 【0012】

ところで、現在、規格で決められている入力信号としては、最近の低電圧化さ

れている電源電圧よりも高く設定されていることが多い。それに対応するため、2種類の電源電圧（Vdd1：高い高電位電源電圧；例えば、3.3Vや2.5V、および、Vdd2：低い高電位電源電圧；例えば、1.8Vや1.2V）を使用し、差動の入力信号（IN, /IN）をpMOSおよびnMOSの差動対トランジスタで受けるようにしている。

#### 【0013】

図3は従来の半導体集積回路装置の他の例を示す回路図であり、従来のレベルシフト機能を備えた差動アンプを示すものである。図3において、参照符号200は差動増幅部、250はレベルシフト部、201～210はpMOSトランジスタ、211～218はnMOSトランジスタ、そして、219はインバータを示している。また、参照符号Vdd1は高い高電位電源電圧（例えば、3.3Vや2.5V）、Vdd2は低い高電位電源電圧（例えば、1.8Vや1.2V）、そして、Vssは低電位電源電圧（例えば、0V）を示している。なお、pMOSトランジスタ201～209およびnMOSトランジスタ211～217は高電圧用のMOSトランジスタであり、また、pMOSトランジスタ210およびnMOSトランジスタ218は低電圧用のMOSトランジスタである。

#### 【0014】

すなわち、図3に示されるように、従来の半導体集積回路装置（レベルシフト機能を備えた差動アンプ）は、高い高電位電源電圧Vdd1が印加されpMOSトランジスタ201～207およびnMOSトランジスタ211～215を有する差動増幅部200、並びに、低い高電位電源電圧Vdd2が印加されpMOSトランジスタ208～210およびnMOSトランジスタ216～218およびインバータ219を有するレベルシフト部250を備えている。

#### 【0015】

差動の入力信号IN, /INは、pMOSの差動対トランジスタ206, 207に供給されると共に、nMOSの差動対トランジスタ214, 213に供給され、入力信号のダイナミックレンジを確保するようになっている。差動増幅された信号は、レベルシフト部250におけるnMOSトランジスタ216および217のゲートに供給される。ここで、レベルシフト部250には、低い高電位電

源電圧  $V_{dd2}$  が印加されているが、差動増幅部 200 の出力信号を受け取る nMOS トランジスタ 216, 217 および pMOS トランジスタ 208, 209 は高電圧用のトランジスタとされ、次段のインバータを構成する pMOS トランジスタ 210 および nMOS トランジスタ 218 は低電圧用のトランジスタとされている。このように、レベルシフト部 250 で差動増幅部 200 の出力信号レベルシフトすることで、低電圧化した電源電圧に対応した出力を得るようになっている。

#### 【0016】

しかしながら、図3に示す半導体集積回路装置では、差動増幅部 200 におけるゲインが上がり過ぎてしまい、差動増幅部 200 の出力がレベルシフト部 250 の電源電圧 ( $V_{dd2}$ ) よりも高くなり、レベルシフト部 250 の出力は、( $V_{dd1} - V_{dd2}$ ) の電圧分、反転する時間がかかるため、時間をロスして動作が遅くなってしまう。また、レベルシフト部 250 は電流源を持たないため、貫通電流が流れてしまい、消費電力の面でも問題がある。

#### 【0017】

図4はトランジスタの  $V_{gs}$ - $I_{ds}$  特性を概略的に示す図である。

#### 【0018】

さらに、図4に示されるように、レベルシフト部 250 の入力差動対（トランジスタ 216, 217）以外の部分も高電圧用のトランジスタ（トランジスタ 208, 209）は、電源電圧を低くするとしきい値電圧  $V_{th}$  が高いため、ゲート-ソース間電圧  $V_{gs}$  が低くなつて意図した電流が流れにくく高速動作も難しくなる。

#### 【0019】

本発明は、上述した従来の半導体集積回路装置が有する課題に鑑み、電源電圧やドレイン電圧に依存せず、安定した電流を等しくコピーすることのできる電流源を備えた半導体集積回路装置の提供を目的とする。さらに、本発明は、広範囲で小振幅の高周波入力に対応すると共に、入力信号を所定のロジック電圧の信号に変換することのできるレベルシフト機能を有する半導体集積回路装置の提供も目的とする。

## 【0020】

## 【課題を解決するための手段】

本発明の第1の形態によれば、第1の電源線と第2の電源線との間に、直列に接続された第1導電型の第1のMISトランジスタ、第2導電型の第2のMISトランジスタおよび抵抗を有する半導体集積回路装置であって、ゲートが前記第1のMISトランジスタおよび前記第2のMISトランジスタの接続ノードに接続され、ドレインが前記第2のMISトランジスタおよび前記抵抗の接続ノードに接続された第1導電型の第3のMISトランジスタを備えることを特徴とする半導体集積回路装置が提供される。

## 【0021】

本発明の第2の形態によれば、入力信号が供給され、第1導電型および第2導電型の高電圧用MISトランジスタにより構成された増幅部、および、該増幅部の出力を受け取ってレベルシフトされた信号を出力するレベルシフト部を有する半導体集積回路装置であって、前記増幅部は、ダイオード接続された第2導電型の高電圧用MISトランジスタを備え、前記レベルシフト部は、前記ダイオード接続された第2導電型の高電圧用MISトランジスタとカレントミラー接続された第2導電型の高電圧用MISトランジスタ、および、第1導電型および第2導電型の低電圧用MISトランジスタを備えることを特徴とする半導体集積回路装置が提供される。

## 【0022】

さらに、本発明によれば、第1の電源線と第2の電源線との間に、直列に接続された第1導電型の第1のMISトランジスタ、第2導電型の第2のMISトランジスタおよび抵抗を有する半導体集積回路装置であって、ゲートが前記第1のMISトランジスタおよび前記第2のMISトランジスタの接続ノードに接続され、ドレインが前記第2のMISトランジスタおよび前記抵抗の接続ノードに接続された第1導電型の第3のMISトランジスタを備える電流源回路と、入力信号が供給され、第1導電型および第2導電型の高電圧用MISトランジスタにより構成された増幅部、および、該増幅部の出力を受け取ってレベルシフトされた信号を出力するレベルシフト部を有する半導体集積回路装置であって、前記増幅

部は、ダイオード接続された第2導電型の高電圧用MISトランジスタを備え、前記レベルシフト部は、前記ダイオード接続された第2導電型の高電圧用MISトランジスタとカレントミラー接続された第2導電型の高電圧用MISトランジスタ、および、第1導電型および第2導電型の低電圧用MISトランジスタを備える差動增幅回路と、前記電流源回路の出力電流を、カレントミラー回路を介して前記差動增幅回路における電流源のバイアス電圧に使用したことを特徴とする半導体集積回路装置が提供される。

## 【0023】

## 【発明の実施の形態】

以下、本発明に係る半導体集積回路装置の各実施例を、添付図面を参照して詳述する。

## 【0024】

図5は本発明の半導体集積回路装置の第1実施例を示す回路図である。図5において、参考符号Vddは高電位電源線（高電位電源電圧）、Vssは低電位電源線（低電位電源電圧）、1～5はpMOS（MIS）トランジスタ、6～8はnMOS（MIS）トランジスタ、そして、9は抵抗を示している。この図5に示す電流源回路（半導体集積回路装置）は、図1を参照して説明した従来の電流源回路に対して、電源電圧および温度等の変動にほとんど依存しない回路である。

## 【0025】

図5に示されるように、本第1実施例の電流源回路は、低電位電源線Vssに接続され、電流I0を流す抵抗9と、この抵抗9を介して低電位電源線Vssに接続されたnMOSトランジスタ8と、nMOSトランジスタ8とカレントミラーサれたnMOSトランジスタ6および7と、nMOSトランジスタ6および高電位電源線Vddに接続されたpMOSトランジスタ1と、このpMOSトランジスタ1とカレントミラーの関係になっておりnMOSトランジスタ8および高電位電源線Vddに接続されたpMOSトランジスタ3と、nMOSトランジスタ7および高電位電源線Vddに接続されたpMOSトランジスタ2と、このpMOSトランジスタ2とカレントミラーの関係になっているpMOSトランジスタ4と、ソースが高電位電源線Vddに接続されたpMOSトランジスタと、を備えている。

そして、nMOSトランジスタ6, 7, 8のゲートを、pMOSトランジスタ2とnMOSトランジスタ7との接続ノードN2に接続し、nMOSトランジスタ7のドレインを、nMOSトランジスタ8および抵抗9の接続ノードN1に接続し、pMOSトランジスタ2および4のゲートを、nMOSトランジスタ8とpMOSトランジスタ3の接続ノードN4に接続し、且つ、このnMOSトランジスタ8とpMOSトランジスタ3の接続ノードN4をpMOSトランジスタ5のゲートに接続して電流をミラーするようになっている。

#### 【0026】

ところで、トランジスタの $V_{ds}-I_{ds}$ 特性は、前述した図2に示されるように、飽和領域でも電流は一定とはならず、所定の傾きを持っている。そのため、電源電圧( $V_{dd}$ )の電位が上昇すると、電流 $I_1, I_2, I_3, I_4, I_5$ および $I_{out}$ も増加しようとする。次に、電流 $I_4$ が増加するので、ノードN1の電位 $V_1$ が上昇する。それにより、トランジスタ8の $V_{gs}$ が浅くなって電流を削減しようとし、その結果、電源変動に伴う電流の上昇を抑えることができる。同様に、温度変動による電流変動も抑えることができる。

#### 【0027】

また、トランジスタ2で発生した電流は、トランジスタ7→トランジスタ6→トランジスタ3を通して電流を安定化させる働きがある。このようなフィードバックによって、より一層安定な電流源を構成することが可能になる。そして、この回路を採用することによりトランジスタを縦積みすることなく、安定した電流源となるため、電源電圧が低い場合にも使用することができる。

#### 【0028】

さらに、温度に依存してトランジスタのしきい値電圧 $V_{th}$ が変化し、電流値も変化してしまうが、トランジスタのゲート-ソース間電圧 $V_{gs}$ の低い部分を利用することで、トランジスタのしきい値電圧 $V_{th}$ の変化がほとんどなくなり、温度依存がほとんどない電流源となる。

#### 【0029】

このように、本第1実施例の電流源回路(半導体集積回路装置)は、電源電圧と温度の依存がほとんどない安定した電流源と言える。

## 【0030】

図6は図5の半導体集積回路装置の変形例を示す回路図である。

## 【0031】

図5および図6の比較から明らかなように、図6に示す変形例は、図5に示す第1実施例において、pMOSトランジスタ1～5をnMOSトランジスタ1'～5'で構成し、nMOSトランジスタ6～8をpMOSトランジスタ6'～8'で構成し、高電位電源線Vddを低電位電源線Vssとし、そして、低電位電源線Vssを高電位電源線Vddとしたものに相当する。また、図6の本変形例において、図5の第1実施例における電流I0～I4およびIoutは、それぞれ電流I0'～I4'およびIout'に対応している。なお、図6の本変形例において、抵抗9'は、高電位電源線VddとpMOSトランジスタ8のソースとの間に接続されることになる。

## 【0032】

図7は本発明の半導体集積回路装置の第2実施例を示す回路図である。

## 【0033】

図7に示されるように、本第2実施例の電流源回路（半導体集積回路装置）は、図5に示す第1実施例の電流源回路に対してnMOSトランジスタ6a, 7a, 8aを付加するようになっており、nMOSトランジスタ6のソースと低電位電源線Vssとの間にnMOSトランジスタ6aを設け、nMOSトランジスタ7のソースと低電位電源線Vssとの間にnMOSトランジスタ7aを設け、そして、nMOSトランジスタ8のソースと抵抗9（ノードN1）との間にnMOSトランジスタ8aを設けるようになっている。

## 【0034】

すなわち、本第2実施例の電流源回路は、図5の第1実施例の電流源回路におけるnMOSトランジスタ6, 7, 8に対してnMOSトランジスタ6a, 7a, 8aをカスケード接続させることで、出力抵抗を大きくして図5の電流源回路よりも安定した電流を供給するようになっている。ただし、本第2実施例の電流源回路は、電源電圧（Vdd）がある程度以上の電圧（例えば、3.3V程度）であることが必要とされる。なお、図5の第1実施例の電流源回路は、例えば、電

源電圧 ( $V_{dd}$ ) が 1.2 V 程度の電圧でも十分使用することができる。

#### 【0035】

図 8 は本発明の半導体集積回路装置の第 3 実施例を示す回路図である。

#### 【0036】

図 8 に示されるように、本第 3 実施例の電流源回路は、図 5 に示す第 1 実施例と同様の構成とされている。ただし、第 1 実施例における pMOS ドランジスタ 3 は、他の pMOS ドランジスタ 1, 2, 4 および 5 と同様のものであるのに対して、図 8 に示す本第 3 実施例の電流源回路においては、種類の異なる pMOS ドランジスタ 3b により構成するようになっている。

#### 【0037】

すなわち、本第 3 実施例においては、高電位電源線  $V_{dd}$  とノード N4 との間に設けられる pMOS ドランジスタ 3b は、電流  $I_3$  の値を小さくするために、他の pMOS ドランジスタ 1, 2, 4 および 5 のしきい値電圧  $V_{th}$  よりも大きいしきい値電圧  $V_{thb}$  を有するトランジスタにより構成したり、または、他の pMOS ドランジスタ 1, 2, 4 および 5 を高速のトランジスタで構成した場合には低速（通常の動作速度）のトランジスタにより構成したり、或いは、他の pMOS ドランジスタ 1, 2, 4 および 5 の基板バイアス（ウェルに与えるバイアス電圧）よりも深い基板バイアスを与える等として構成するようになっている。

#### 【0038】

このように、例えば、pMOS ドランジスタ 3b のしきい値電圧  $V_{thb}$  を他の pMOS ドランジスタ 1, 2, 4 および 5 のしきい値電圧  $V_{th}$  よりも大きな値にすることで、電流  $I_3$  ( $I_0$ ) の値を小さく（調整）し、出力電流  $I_{out}$  として安定した電流が供給できるようになっている。

#### 【0039】

このように、本発明に係る電流源回路（半導体集積回路装置）の各実施例は、電源電圧依存がほとんどなく、温度依存を減少させることもできる上、最近のトランジスタの微細化に伴う電源の低電圧化にも対応した安定な電流源を供給することができる。

#### 【0040】

図9は本発明の半導体集積回路装置の第4実施例を示す回路図であり、高周波・広範囲の入力レベルで小振幅な入力信号に対応し、また、入力信号をロジックレベルの電圧にレベルシフトして出力するレベルシフト機能を備えた差動アンプを示すものである。図9において、参照符号20は差動増幅部、50はレベルシフト部、21～31はpMOSトランジスタ、32～39および221、222はnMOSトランジスタ、そして、40はインバータを示している。また、参照符号Vdd1は高い高電位電源電圧（例えば、3.3Vや2.5V）、Vdd2は低い高電位電源電圧（例えば、1.8Vや1.2V）、そして、Vssは低電位電源電圧（例えば、0V）を示している。なお、pMOSトランジスタ21～27およびnMOSトランジスタ32～36および221、222は高電圧用のMOSトランジスタであり、また、pMOSトランジスタ28～31およびnMOSトランジスタ37～39は低電圧用のMOSトランジスタである。

#### 【0041】

すなわち、図9に示されるように、本第4実施例の半導体集積回路装置（レベルシフト機能を備えた差動アンプ）は、高い高電位電源電圧Vdd1が印加されpMOSトランジスタ21～27およびnMOSトランジスタ32～34；221、222を有する差動増幅部20、並びに、低い高電位電源電圧Vdd2が印加されpMOSトランジスタ28～31、nMOSトランジスタ35～39およびインバータ40を有するレベルシフト部50を備えている。

#### 【0042】

前述した図3および図9の比較から明らかなように、本第4実施例では、差動増幅部20におけるnMOSトランジスタ221および222（図3におけるnMOSトランジスタ211および212に相当）をダイオード接続とし、レベルシフト部50のnMOSトランジスタ36および35とカレントミラー接続するようになっている。ここで、レベルシフト部50において、nMOSトランジスタ35、36だけが高電圧用のMOSトランジスタにより構成され、他のpMOSトランジスタ28～31およびnMOSトランジスタ37～39は低電圧用のMOSトランジスタにより構成されている。なお、nMOSトランジスタ37～39は、それぞれ電流源を構成している。

## 【0043】

本第4実施例の半導体集積回路装置によれば、レベルシフトの電流を制御することで従来の回路に比べて消費電流を抑えることができ、また、ゲインを抑えることで高速動作も可能になる。さらに、レベルシフト部50において、入力用のトランジスタ35, 36以外はノーマル（低電圧用）のトランジスタを使用することにより、電源電圧が低くなても低電圧用のトランジスタはそのしきい値電圧 $V_{th}$ が低いために十分なゲート-ソース間電圧 $V_{gs}$ を確保することができ、高速動作が可能になる。

## 【0044】

図10は本発明の半導体集積回路装置の第5実施例を示す回路図である。

## 【0045】

図9および図10の比較から明らかなように、図10に示す第5実施例の半導体集積回路装置は、図9に示す第4実施例におけるダイオード接続されたnMOSトランジスタ221および222を抵抗231および232で構成するようになっている。すなわち、ノードN11およびN12の電圧は、低い高電位電源電圧 $V_{dd2}$ より高い電圧にする必要がないため、第4実施例のトランジスタ221および222を抵抗231および232に置き換えることで、ゲインが上がり過ぎるのを防止してより高速化した回路とすることが可能になる。

## 【0046】

図11は本発明の半導体集積回路装置の第6実施例を示す回路図である。

## 【0047】

図9および図11の比較から明らかなように、図11に示す第6実施例の半導体集積回路装置は、図9に示す第4実施例におけるダイオード接続されたnMOSトランジスタ221および222に対してクロスカップル接続されたnMOSトランジスタ241および242を設け、ゲインを上げるようになっている。すなわち、本第6実施例の半導体集積回路装置は、例えば、図9の第4実施例の回路ではゲインが足りない場合などに有効なものである。

## 【0048】

図12は本発明の半導体集積回路装置の第7実施例を示す回路図である。

## 【0049】

図9および図12の比較から明らかなように、図12に示す第7実施例の半導体集積回路装置は、図9に示す第4実施例の回路におけるpMOSトランジスタ26および27に対して、入力信号IN, /INを受け取りドレインがクロス接続されたpMOSトランジスタ251および252を設けることで、トランジスタの反転速度を上げてより一層の高速動作を可能にしている。すなわち、前述した図9の第7実施例においては、入力信号INが低レベル『L』で入力信号/INが高レベル『H』のとき、トランジスタ26および221を介して電流が流れ、トランジスタ27および222は電流が流れないが、本第7実施例では、オンするトランジスタ251のドレインがトランジスタ27のドレインに接続されているため、電流パスができてトランジスタ27および222にも電流が流れることになる。これにより、図4を参照して前述したのと逆に、レベルシフト部50のトランジスタ36, 35のゲート電圧はしきい値電圧V<sub>th</sub>より先の電圧から入力されることになるため、より一層の高速動作が可能になる。

## 【0050】

図13は本発明の半導体集積回路装置の第8実施例を示す回路図である。

## 【0051】

図13において、電流源回路301は、図5～図8を参照して説明した本発明に係る半導体集積回路装置の第1～第3実施例（電流源回路）を適用したものであり、また、差動增幅回路303は、図9～図12を参照して説明した本発明に係る半導体集積回路装置の第4～第7実施例（レベルシフト機能を有する差動增幅回路）を適用したものである。

## 【0052】

図14は図13の半導体集積回路装置における回路の一部を示す図であり、電流源回路301として図5に示す第1実施例（pMOSトランジスタ1～5, nMOSトランジスタ6～8、および、抵抗9）を適用すると共に、カレントミラー回路302としてpMOSトランジスタ321, 325およびnMOSトランジスタ322, 323, 324を適用したものに相当する。

## 【0053】

図14に示されるように、差動増幅回路303における高電圧用のnMOSトランジスタ34のゲートに対してバイアス電圧V<sub>bn1</sub>を印加するために、pMOSトランジスタ321のドレインと低電位電源線(V<sub>ss</sub>)との間には、トランジスタ34とカレントミラー接続された高電圧用のnMOSトランジスタ323が設けられ、また、低電圧用のnMOSトランジスタ38のゲートに対してバイアス電圧V<sub>bn2</sub>を印加するために、pMOSトランジスタ5のドレインと低電位電源線(V<sub>ss</sub>)との間には、トランジスタ38とカレントミラー接続された低電圧用のnMOSトランジスタ322が設けられ、そして、高電圧用のpMOSトランジスタ21のゲートに対してバイアス電圧V<sub>bp</sub>を印加するために、nMOSトランジスタ324のドレインと高電位電源線(V<sub>dd</sub>)との間には、トランジスタ21とカレントミラー接続された高電圧用のpMOSトランジスタ325が設けられている。なお、図14に示す半導体集積回路装置において、電流源回路301として図5に示す第1実施例を適用しているが、他の実施例等を適用することができ、さらに、カレントミラー回路302および差動増幅回路303も様々な回路を適用することができるはいうまでもない。

#### 【0054】

このように、本発明の第8実施例の半導体集積回路装置によれば、差動増幅回路303における電流源を安定にして高周波の入力信号にも十分対応することができる。

#### 【0055】

上述したように、本発明に係る電流源回路(半導体集積回路装置)は、電源電圧依存がほとんどなく、温度依存を減少させることができる上、最近のトランジスタの微細化に伴う電源の低電圧化にも対応した安定な電流源を提供することができる。さらに、本発明に係る差動増幅回路(半導体集積回路装置)は、高い周波数で広い範囲の入力のコモンレベルに対応することでき、また、出力をロジックの電圧値へレベルシフトする機能も持たせることができる。そして、本発明に係る電流源回路と差動増幅回路を組み合わせることにより、より安定した高周波に対応する半導体集積回路装置を提供することができる。

#### 【0056】

(付記1) 第1の電源線と第2の電源線との間に、直列に接続された第1導電型の第1のMISトランジスタ、第2導電型の第2のMISトランジスタおよび抵抗を有する半導体集積回路装置であって、

ゲートが前記第1のMISトランジスタおよび前記第2のMISトランジスタの接続ノードに接続され、ドレインが前記第2のMISトランジスタおよび前記抵抗の接続ノードに接続された第1導電型の第3のMISトランジスタを備えることを特徴とする半導体集積回路装置。

#### 【0057】

(付記2) 付記1に記載の半導体集積回路装置において、さらに、

前記第2のMISトランジスタとカレントミラー接続された第2導電型の第4および第5のMISトランジスタと、

該第4のトランジスタおよび前記第1の電源線に接続され、前記第1のMISトランジスタとカレントミラー接続された第1導電型の第6のMISトランジスタと、

前記第5のMISトランジスタおよび前記第1の電源線に接続され、ゲートが前記第1のMISトランジスタおよび前記第2のMISトランジスタの接続ノードに接続された第1導電型の第7のMISトランジスタと、を備えることを特徴とする半導体集積回路装置。

#### 【0058】

(付記3) 付記1または2に記載の半導体集積回路装置において、さらに、ソースが前記第1の電源線に接続され、ゲートが前記第1のMISトランジスタおよび前記第2のMISトランジスタの接続ノードに接続され、出力電流を流す第1導電型の第8のMISトランジスタを備えることを特徴とする半導体集積回路装置。

#### 【0059】

(付記4) 付記1～3のいずれか1項に記載の半導体集積回路装置において、さらに、

前記第2のMISトランジスタと前記抵抗との間に設けられた第2導電型の第9のMISトランジスタと、

前記第4および第5のMISトランジスタと前記第2の電源線との間に設けられた第2導電型の第10および第11のMISトランジスタとを備え、前記第2、第4および第5のMISトランジスタに対して前記第9、第10および第11のMISトランジスタをカスケード接続したことを特徴とする半導体集積回路装置。

## 【0060】

(付記5) 付記1～4のいずれか1項に記載の半導体集積回路装置において、前記第1のMISトランジスタを他の第1導電型のMISトランジスタとは異なる特性を有するトランジスタとして構成したことを特徴とする半導体集積回路装置。

## 【0061】

(付記6) 付記5に記載の半導体集積回路装置において、前記異なる特性を有する第1のMISトランジスタは、前記他の第1導電型のMISトランジスタよりもトランジスタサイズを小さく、しきい値電圧を高く、または、基板バイアスを大きくするようになっていることを特徴とする半導体集積回路装置。

## 【0062】

(付記7) 入力信号が供給され、第1導電型および第2導電型の高電圧用MISトランジスタにより構成された増幅部、および、該増幅部の出力を受け取ってレベルシフトされた信号を出力するレベルシフト部を有する半導体集積回路装置であって、

前記増幅部は、ダイオード接続された第2導電型の高電圧用MISトランジスタを備え、

前記レベルシフト部は、前記ダイオード接続された第2導電型の高電圧用MISトランジスタとカレントミラー接続された第2導電型の高電圧用MISトランジスタ、および、第1導電型および第2導電型の低電圧用MISトランジスタを備えることを特徴とする半導体集積回路装置。

## 【0063】

(付記8) 付記7に記載の半導体集積回路装置において、前記ダイオード接続された第2導電型の高電圧用MISトランジスタを抵抗に置き換えたことを特

徴とする半導体集積回路装置。

【0064】

(付記9) 付記7に記載の半導体集積回路装置において、前記ダイオード接続された第2導電型の高電圧用MISトランジスタに対して第2導電型の高電圧用MISトランジスタをクロスカップル接続したことを特徴とする半導体集積回路装置。

【0065】

(付記10) 付記7～9のいずれか1項に記載の半導体集積回路装置において、前記増幅部は、差動の入力信号を受け取る第1導電型の高電圧用MISトランジスタ対を備えることを特徴とする半導体集積回路装置。

【0066】

(付記11) 付記10に記載の半導体集積回路装置において、前記第1導電型の高電圧用MISトランジスタ対に対して前記入力信号を受け取りドレインがクロス接続された一対の第1導電型の高電圧用MISトランジスタを設けることを特徴とする半導体集積回路装置。

【0067】

(付記12) 付記7～11のいずれか1項に記載の半導体集積回路装置において、前記増幅部は、

差動の入力信号を受け取る第1導電型の高電圧用MISトランジスタ対を有する第1の差動対と、

前記差動の入力信号を受け取る第2導電型の高電圧用MISトランジスタ対を有する第2の差動対とを備えることを特徴とする半導体集積回路装置。

【0068】

(付記13) 付記1～6のいずれか1項に記載の半導体集積回路装置を電流源回路とし、

付記7～12のいずれか1項に記載の半導体集積回路装置を差動増幅回路とし

前記電流源回路の出力電流を、カレントミラー回路を介して前記差動増幅回路における電流源のバイアス電圧に使用したことを特徴とする半導体集積回路装置

【0069】

## 【発明の効果】

以上、詳述したように、本発明によれば、電源電圧や温度等にほとんど依存しない安定した電流を生成することができる半導体集積回路装置を提供することができる。さらに、本発明によれば、広範囲で小振幅の高周波入力に対応すると共に、入力信号を所定のロジック電圧の信号に変換することができるレベルシフト機能を有する半導体集積回路装置も提供することができる。

## 【図面の簡単な説明】

【図1】

従来の半導体集積回路装置の一例を示す回路図である。

【図2】

トランジスタの  $V_{ds}$  -  $I_{ds}$  特性を概略的に示す図である。

【図3】

従来の半導体集積回路装置の他の例を示す回路図である。

【図4】

トランジスタの  $V_{gs}$  -  $I_{ds}$  特性を概略的に示す図である。

【図5】

本発明の半導体集積回路装置の第1実施例を示す回路図である。

【図6】

図5の半導体集積回路装置の変形例を示す回路図である。

【図7】

本発明の半導体集積回路装置の第2実施例を示す回路図である。

【図8】

本発明の半導体集積回路装置の第3実施例を示す回路図である。

【図9】

本発明の半導体集積回路装置の第4実施例を示す回路図である。

【図10】

本発明の半導体集積回路装置の第5実施例を示す回路図である。

## 【図11】

本発明の半導体集積回路装置の第6実施例を示す回路図である。

## 【図12】

本発明の半導体集積回路装置の第7実施例を示す回路図である。

## 【図13】

本発明の半導体集積回路装置の第8実施例を示す回路図である。

## 【図14】

図13の半導体集積回路装置における回路の一部を示す図である。

## 【符号の説明】

- 1～5；6'～8'；101～103…pチャネル型MOSトランジスタ（pMOSトランジスタ）
- 1'～5'；6～8；6a～8a；104，105…nチャネル型MOSトランジスタ（nMOSトランジスタ）
- 9；106；231，232…抵抗
- 20，200…増幅部（差動増幅部）
- 21～27；201～209；251，252；325…高電圧用pMOSトランジスタ
- 28～31；210；321…低電圧用pMOSトランジスタ
- 32～36；211～217；221，222；241，242；323…高電圧用nMOSトランジスタ
- 37～39；218；322，324…低電圧用nMOSトランジスタ
- 40，219…インバータ
- 50，250…レベルシフト部
- 301…電流源回路
- 302…カレントミラー回路
- 303…差動増幅回路
- IN，／IN…差動入力信号
- Vdd…高電位電源線（高電位電源電圧）
- Vdd1…高い高電位電源電圧

V<sub>dd2</sub>…低い高電位電源電圧

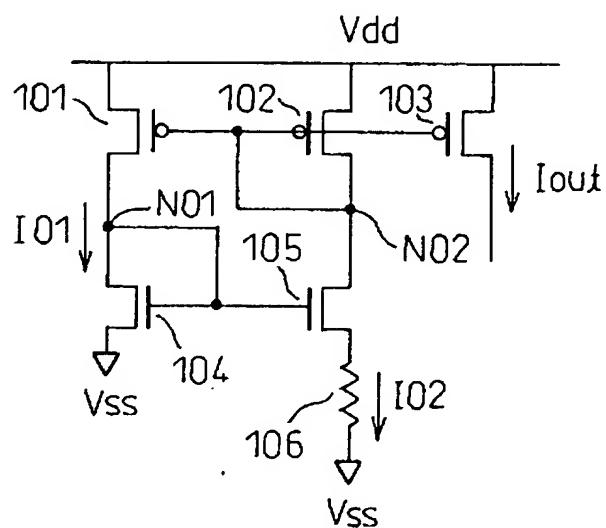
V<sub>ss</sub>…低電位電源線（低電位電源電圧）

【書類名】 図面

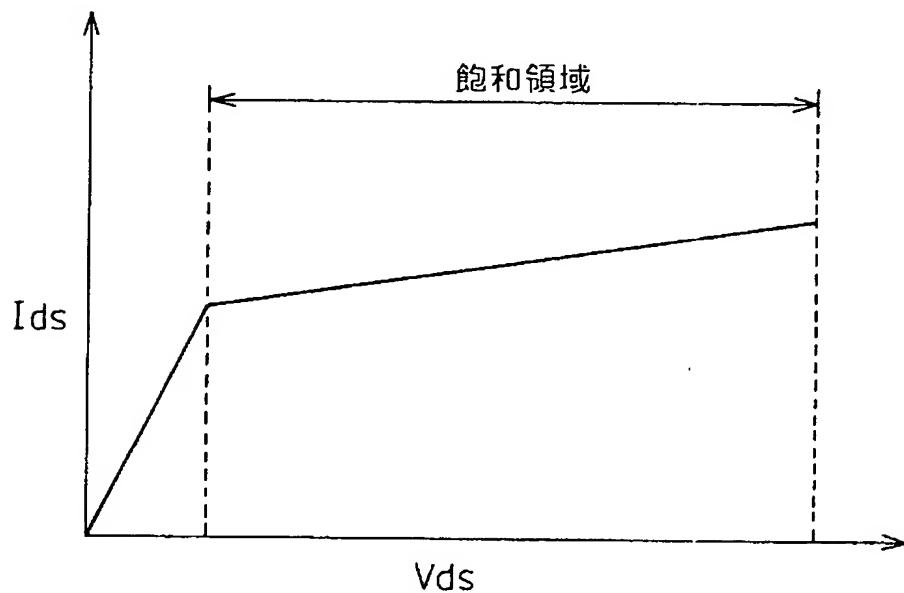
【図1】

図1

従来の半導体集積回路装置の一例を示す回路図



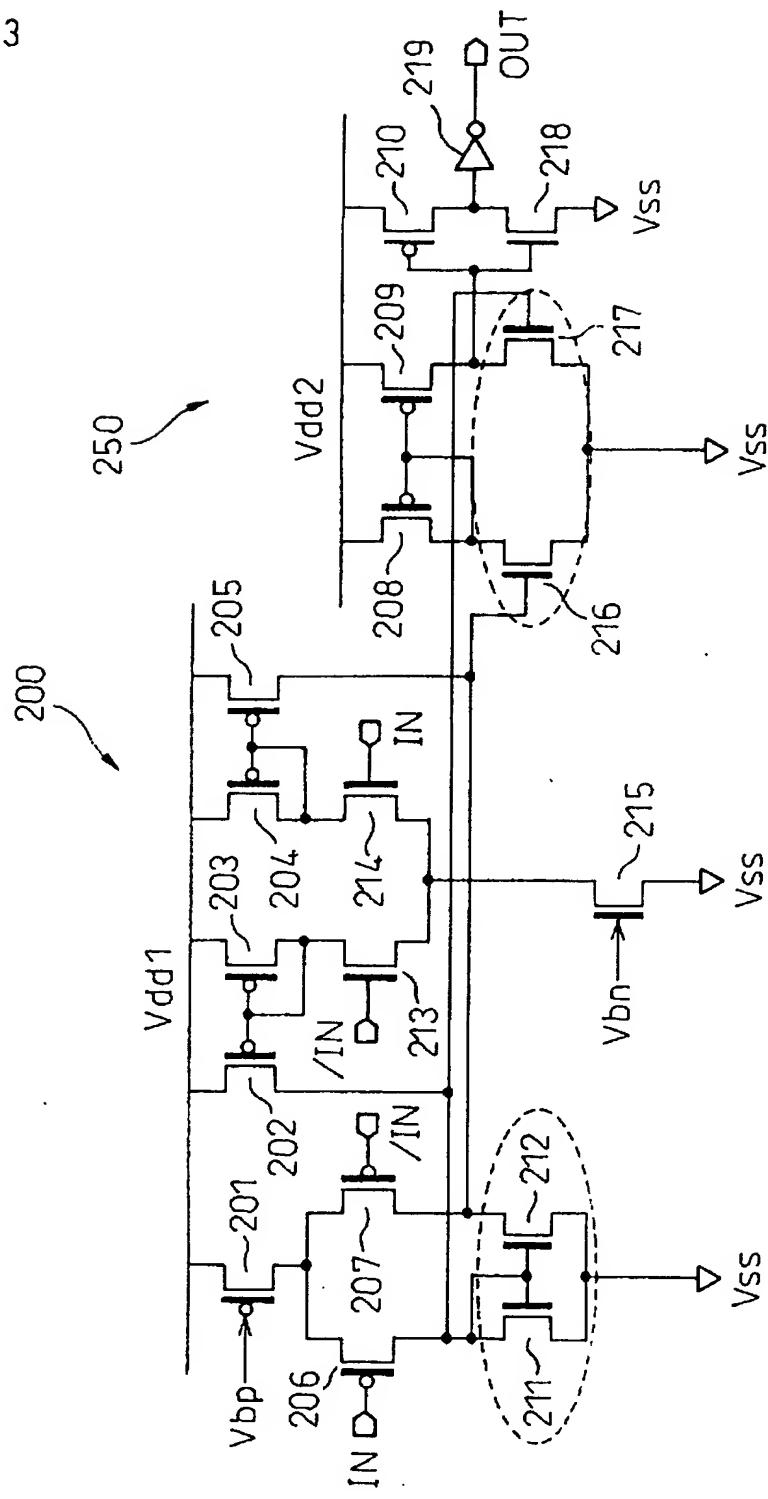
【図2】

図2 トランジスタの  $V_{ds}$ -  $I_{ds}$  特性を概略的に示す図

【図3】

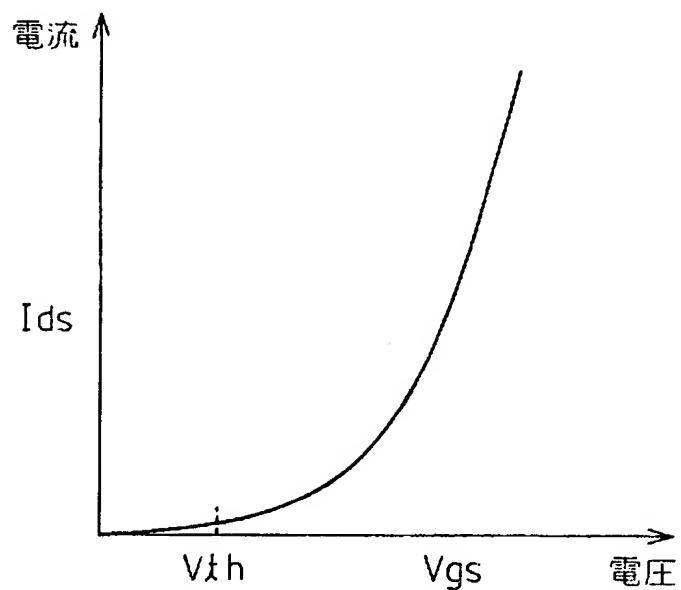
図3

従来の半導体集積回路装置の他の例を示す回路図



【図4】

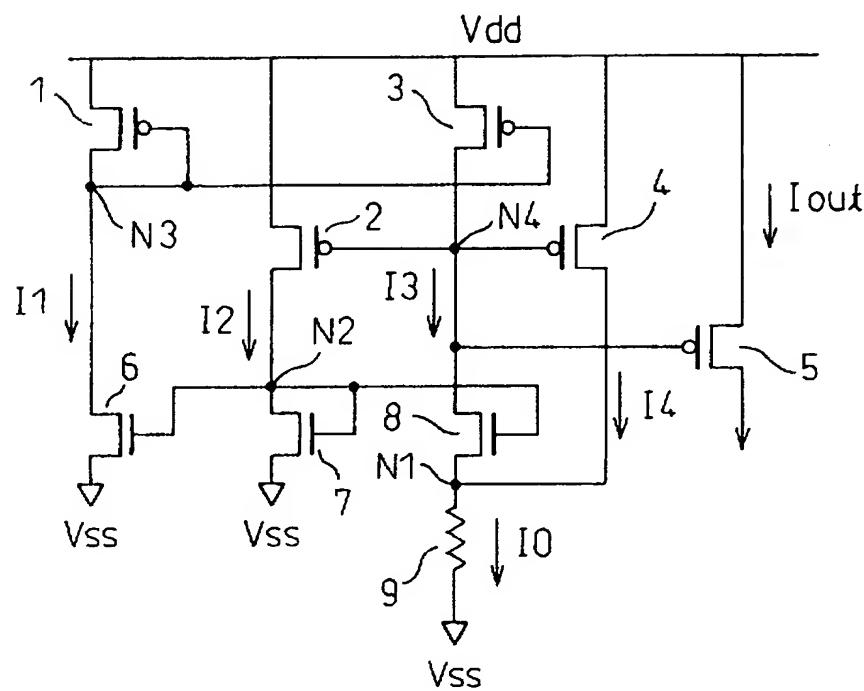
図4

トランジスタの  $V_{gs}$  -  $I_{ds}$  特性を概略的に示す図

【図5】

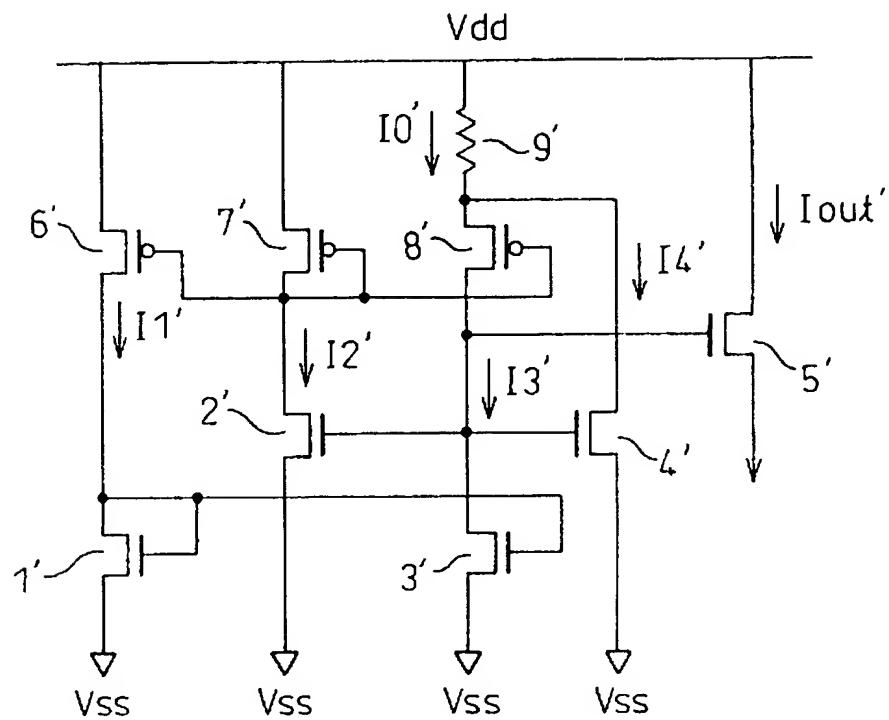
図5

本発明の半導体集積回路装置の第1実施例を示す回路図



### 【図6】

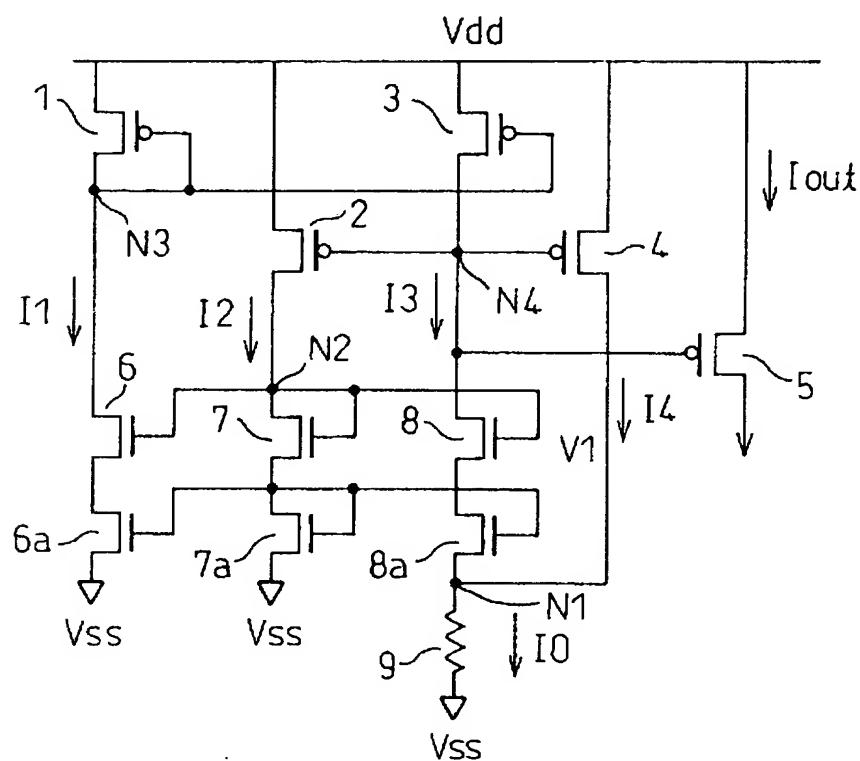
図6 図5の半導体集積回路装置の変形例を示す回路図



【図7】

図7

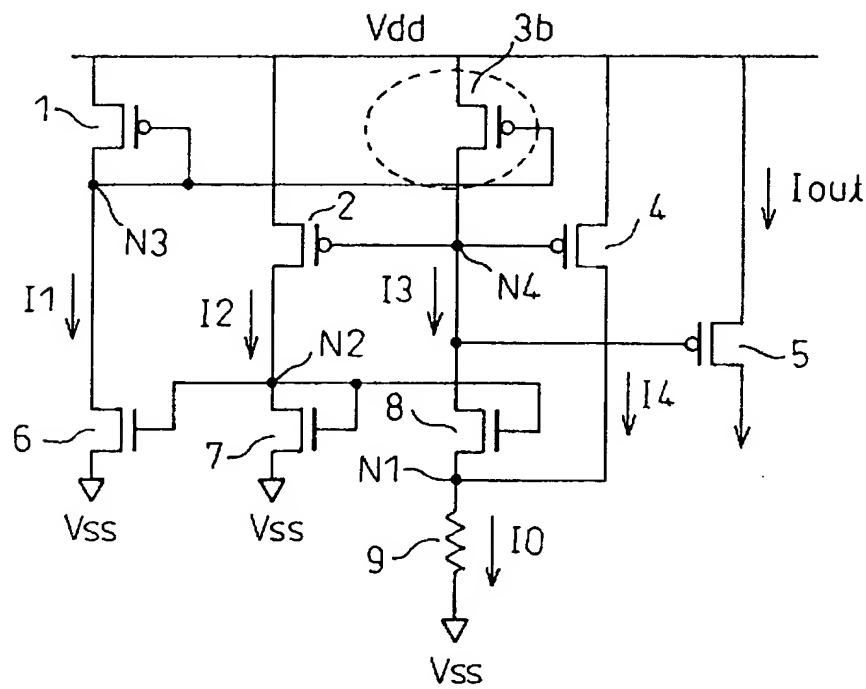
本発明の半導体集積回路装置の第2実施例を示す回路図



【図8】

図8

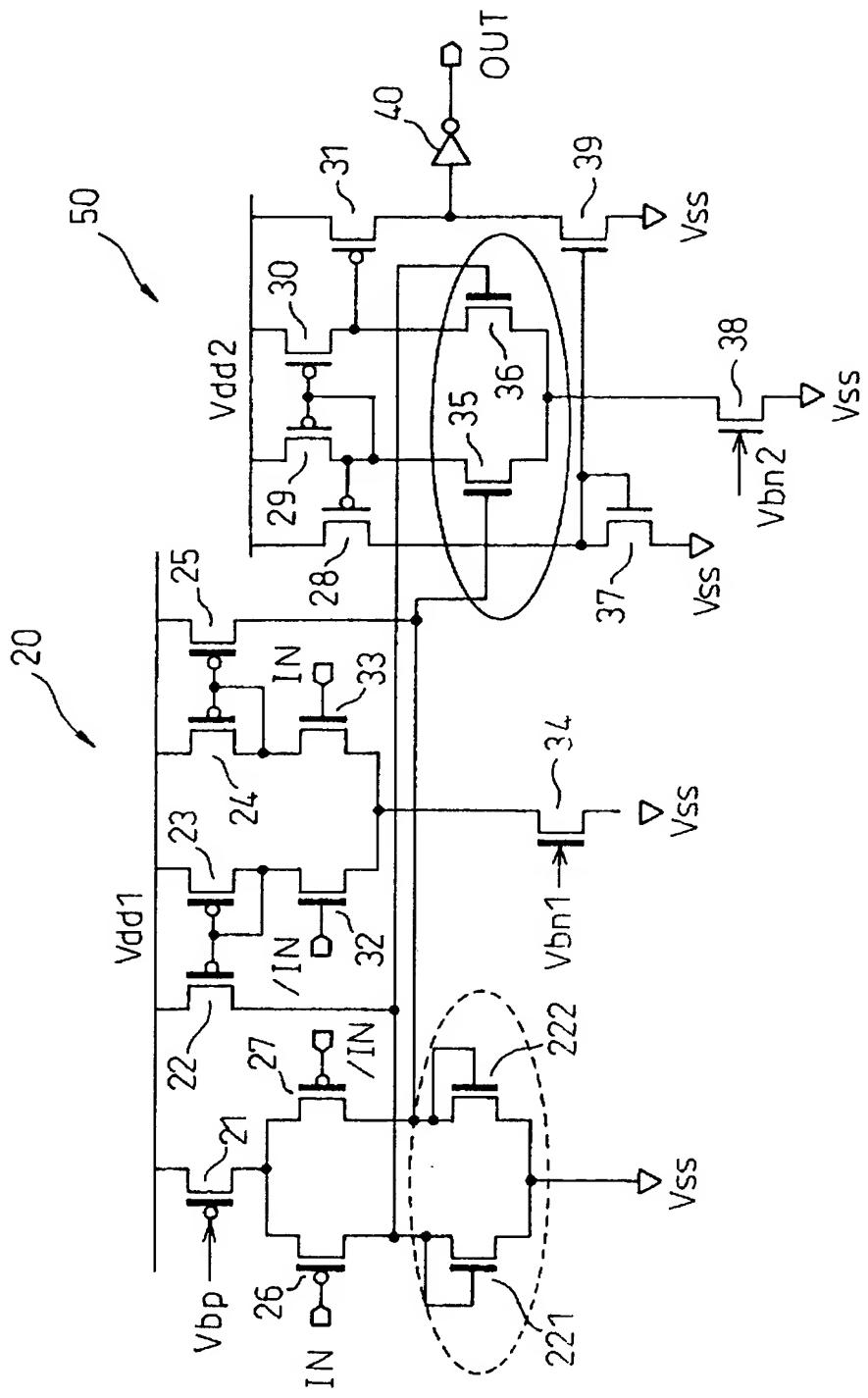
本発明の半導体集積回路装置の第3実施例を示す回路図



【図9】

図9

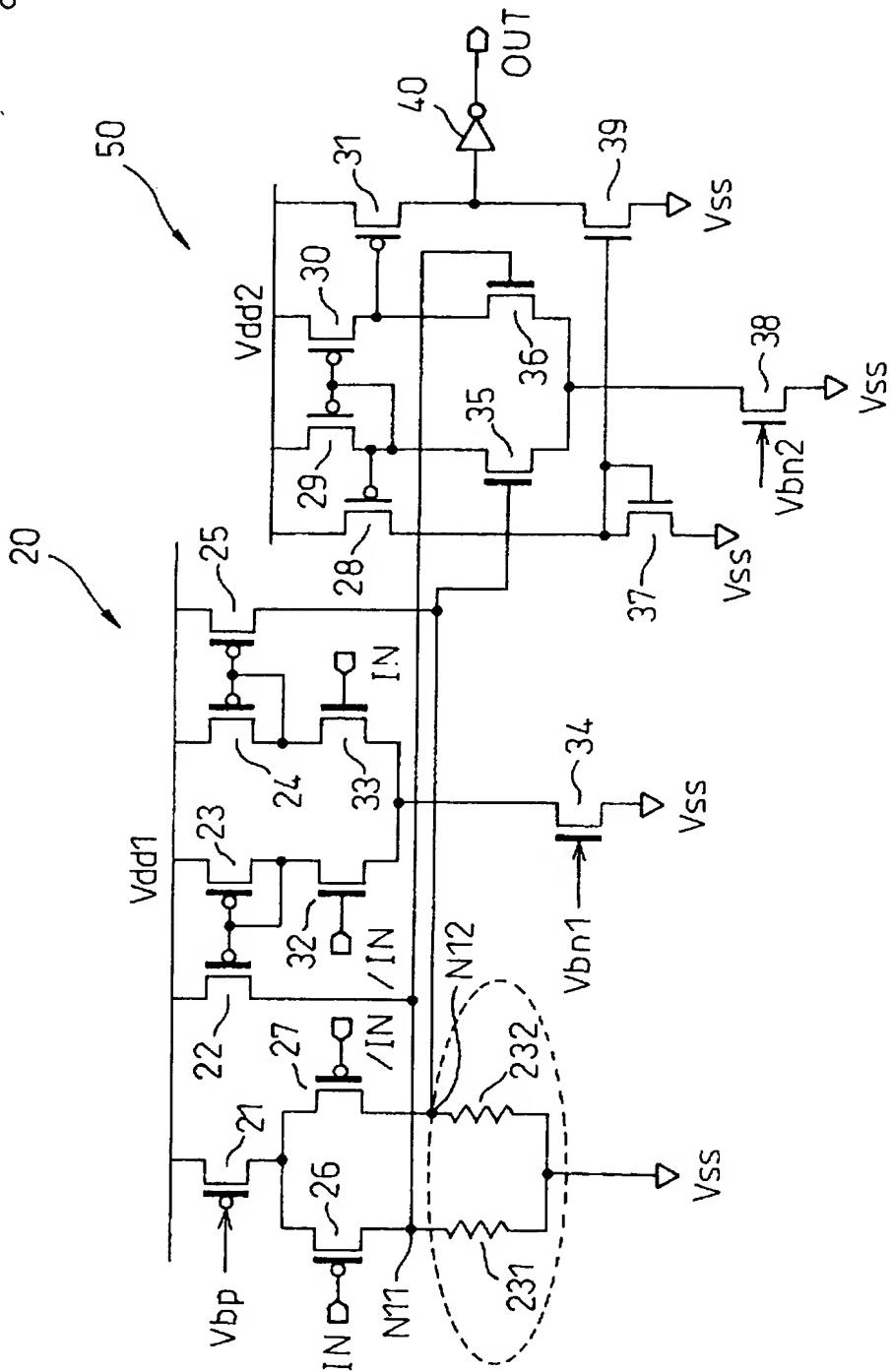
本発明の半導体集積回路装置の第4実施例を示す回路図



【図10】

図10

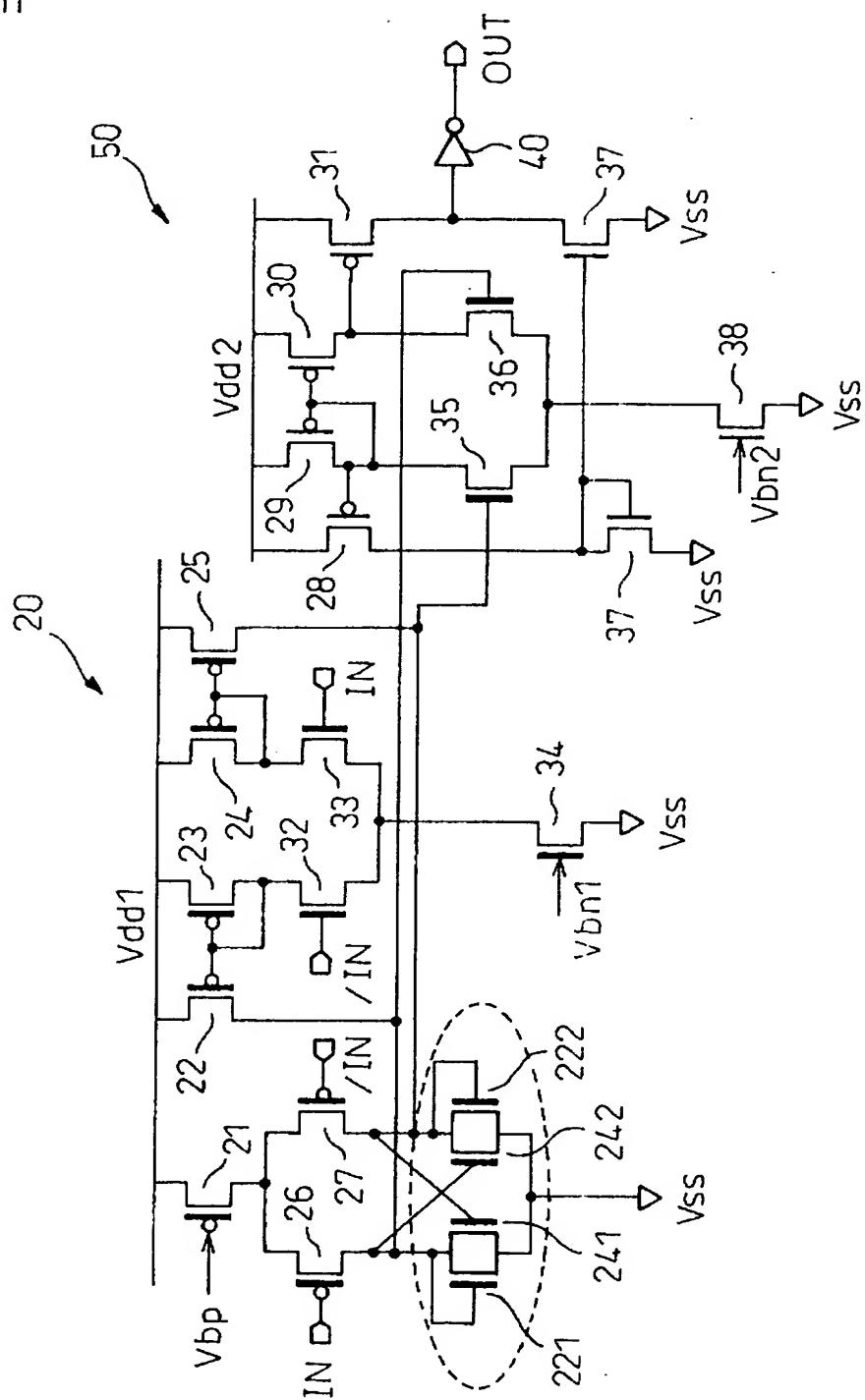
本発明の半導体集積回路装置の第5実施例を示す回路図



【図11】

図11

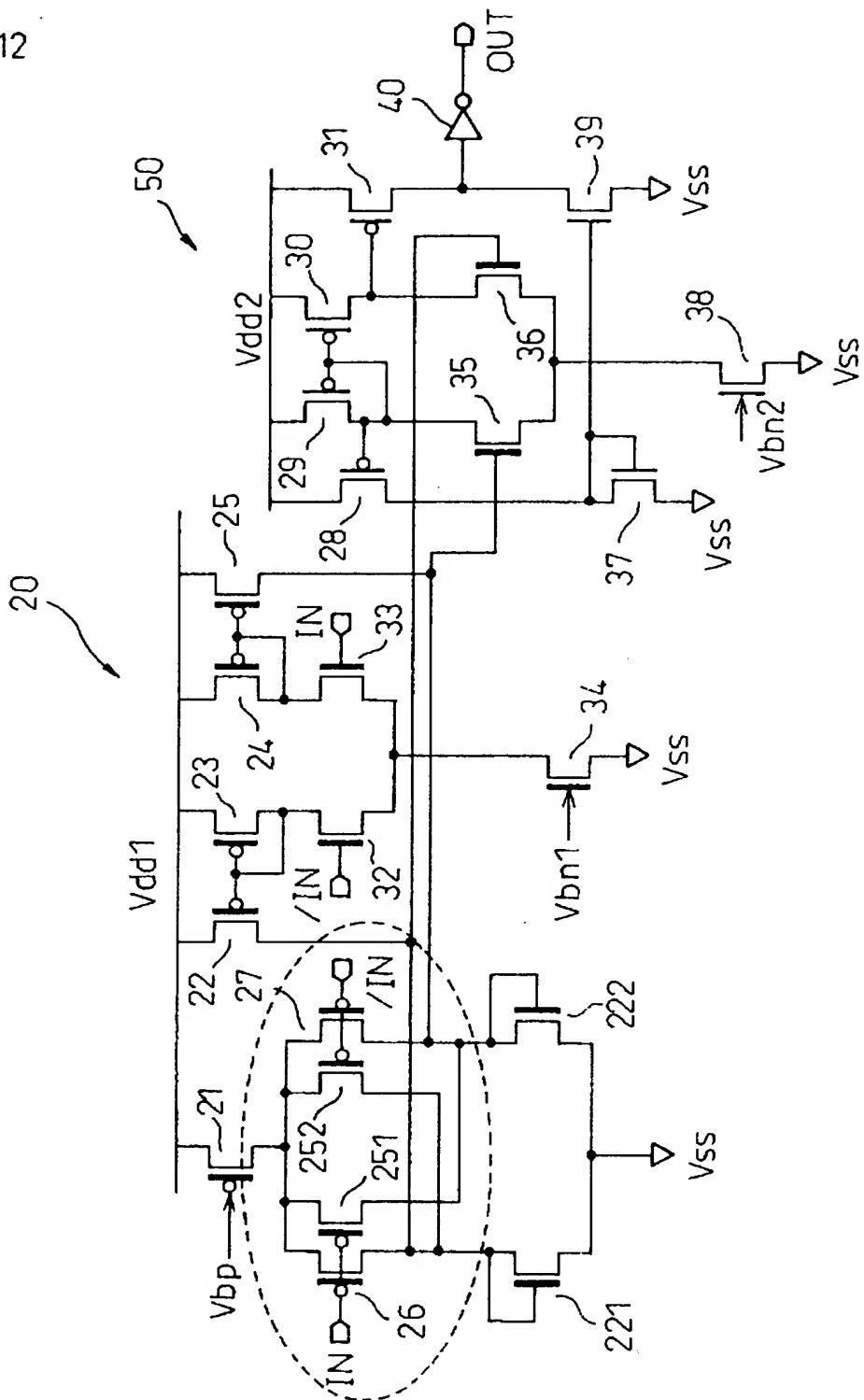
本発明の半導体集積回路装置の第6実施例を示す回路図



【図 1-2】

12

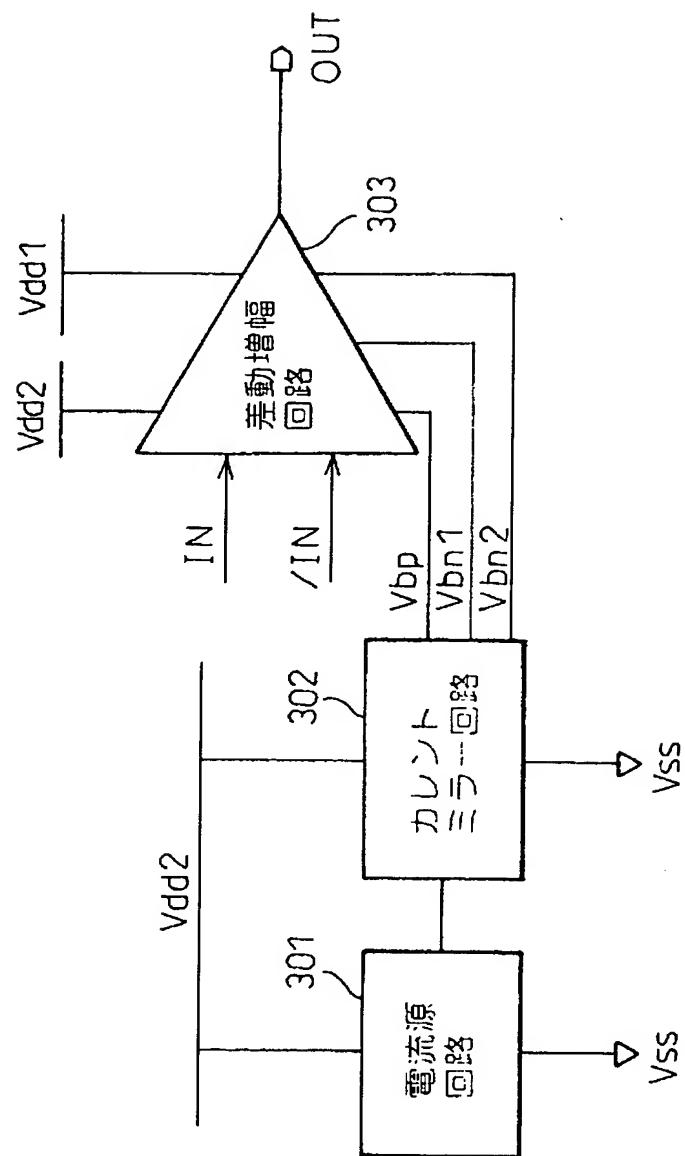
本発明の半導体集積回路装置の第7実施例を示す回路図



【図13】

図13

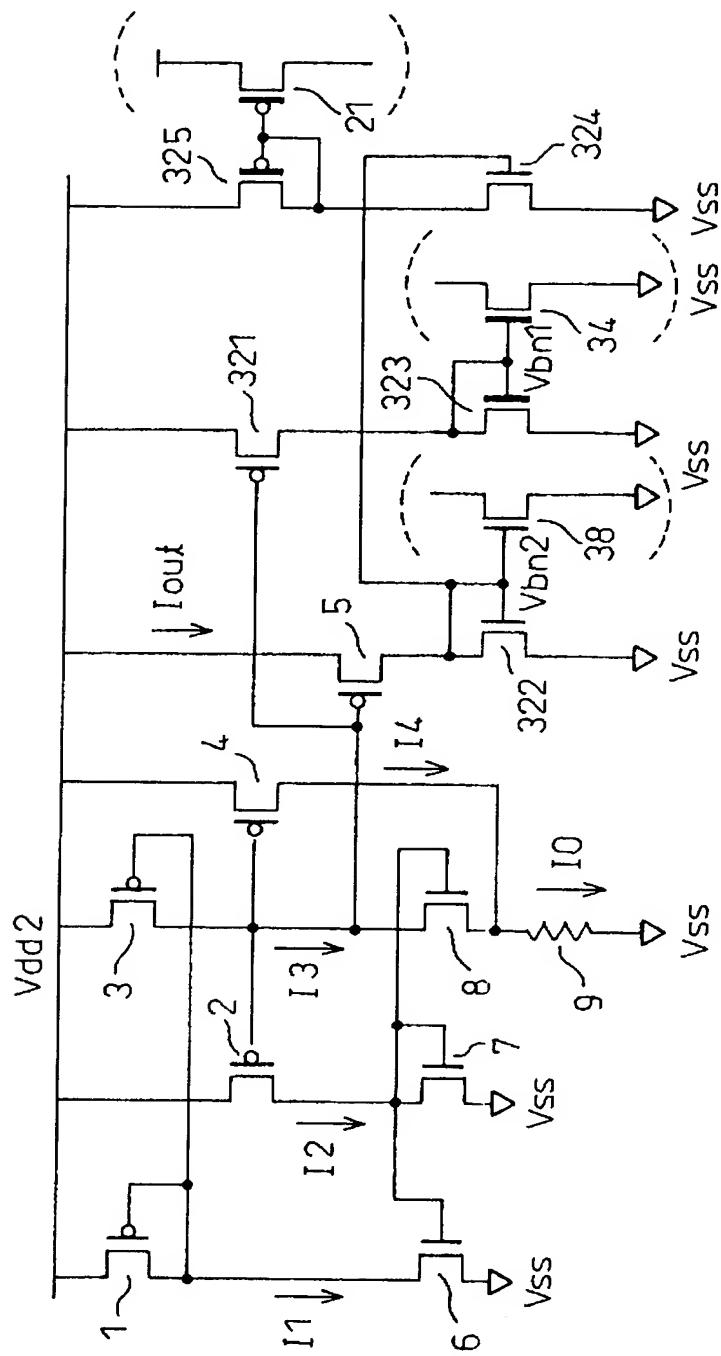
本発明の半導体集積回路装置の第8実施例を示す回路図



【図 1-4】

図13の半導体集積回路装置における回路の一部を示す図

14



【書類名】 要約書

【要約】

【課題】 従来、低い電源電圧でも安定した定電流を生成することができる半導体集積回路装置の提供が困難であった。

【解決手段】 第1の電源線V<sub>dd</sub>と第2の電源線V<sub>ss</sub>との間に、直列に接続された第1導電型の第1のMISトランジスタ3、第2導電型の第2のMISトランジスタ8および抵抗9を有する半導体集積回路装置であって、ゲートが前記第1のMISトランジスタ3および前記第2のMISトランジスタ8の接続ノードN4に接続され、ドレインが前記第2のMISトランジスタ8および前記抵抗9の接続ノードN1に接続された第1導電型の第3のMISトランジスタ4を備えるように構成する。

【選択図】 図5

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社